

APPLICATION  
FOR  
UNITED STATES LETTERS PATENT

TITLE: DISPLAY DEVICE AND DRIVING METHOD THEREOF

APPLICANT: JUN KOYAMA

## 明細書

### 表示装置及びその駆動方法

#### 5 技術分野

本発明は、表示装置に関し、特にエレクトロルミネセンス（E l e c - t r o l u m i n e s c e n c e ; 以下、E L と略記する。）素子を発光媒体として用いた表示装置に関する。

#### 10 背景技術

近年、通信技術の進歩に伴って、携帯電話機が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まったP D A と呼ばれる情報端末も多数生産され普  
15 及しつつある。また、表示装置の発展により、それらの携帯情報機器のほとんどにはフラットパネルディスプレイが装備されている。

また、フラットパネルディスプレイの中でも、近年では、低温で結晶化した多結晶半導体を用いた薄膜トランジスタ（以下薄膜トランジスタをT F T と表記する）を有する表示装置の製品化が進められている。上  
20 記低温とは、結晶化温度が6 0 0 ℃以下であり、従来の結晶化温度1 0 0 0 ℃以上と比較すると低温であるという意味である。低温で結晶化した多結晶半導体を用いたT F T は画素だけでなく、画素部の周囲に信号線駆動回路を一体形成することが可能であるため、表示装置の小型化や、高精細化が可能であり、今後はさらに普及が見込まれる。  
25 低温で結晶化した多結晶半導体を用いたT F T を有する表示装置では、

液晶表示装置のほかに、発光素子特に有機EL素子を用いた表示装置が開発されている。

一方、有機EL素子を用いた表示装置としては、パッシブマトリクス駆動の表示装置が開発され、携帯電話機、カーステレオなどの表示装置として、生産されている。

図2に、従来のパッシブマトリクス駆動の表示装置の概略を示す。図2で示す表示装置はガラス等の基板201の中央に画素部が配置されている。画素部は、発光素子、カラム信号線、ロウ信号線が配置されている。基板201の上側には、カラム信号線を制御するための、カラム信号線駆動回路202が、基板201の左には、ロウ信号線を制御するための、ロウ信号線駆動回路203が配置されている。さらに、カラム信号線駆動回路202とロウ信号線線駆動回路203を制御するために、コントローラ240が配置されている。なお、カラム信号線駆動回路202およびロウ信号線駆動回路203はLSIチップによって構成され、FPC(Flexible Printed Circuit)によって基板201に接続されている(例えば、特許文献1参照)。

(特許文献1) 特開平9-232074号公報

次に図2を参照して、パッシブマトリクス型表示装置の動作について説明する。まず、第1行目のロウ信号線220が選択される。ここで選択されることは、スイッチ212がGNDに接続されることである。次にカラムドライバーのスイッチ208~211がオンとなる。スイッチ208~211は片側が定電流源204~207に、反対側がカラム信号線216~219に接続されている。スイッチ208~211がオンになると、定電流源204~207のから出力された電流はスイッチ208~211、カラム信号線216~219を介して、発光素子224

～227に流れる。そして電流は、発光素子224～227を通過したのちロウ信号線220を介して、スイッチ212を通過してGNDに流れる。このように発光素子224～227に電流が流れることによって、発光素子は発光を行う。また、スイッチ208～211がオンになっている時間はスイッチごとに異なり、スイッチがオンになっている時間によって表示装置は階調表示をおこなう。スイッチ208～211が全てオフになった後にロウ信号線駆動回路のスイッチ212はVCC接続になり、次にスイッチ213がGND接続になり、上記を繰り返していく。

ロウ信号線駆動回路のスイッチがVCC接続になっている場合には、その行の発光素子に逆バイアスが加わるので、電流が流れる事はなく、発光することはない。

発光素子224～239の輝度、つまり発光素子224～239を流れる電流量は、カラム信号線駆動回路の定電流源204～207の電流値、およびスイッチ208～211のオンになっている時間によって制御出来る。図3に示すのはカラム信号線駆動回路の例である。まず、内蔵した定電圧源301にて、一定の電圧を発生させる。定電圧源としては、公知のバンドギャップレギュレータなどがよく使用され、温度係数の小さな電源が使用される。この定電圧をオペアンプ302、トランジスタ303および抵抗304によって、電流に変換し、温度係数が小さな定電流を作ることが可能になる。その電流をトランジスタ305～309、抵抗314～318によって構成されるカレントミラー回路で反転、且つ複数に複写しスイッチ310～313を介してカラム信号線に供給する。

次に、発光素子の階調表示の方式について述べる。図2に示したカラム信号線駆動回路において、スイッチ208～211のオン時間が1通

りのみであると、この表示装置の階調は2通りのみである。この表示装置での階調の表現法について、図4を参照して説明する。

図4は時間階調方式のタイミングチャートを簡単に示している。フレーム周波数を60Hzとし、時間階調方式によって3ビットの階調を得る例である。フレーム周波数が60Hzの場合、1フレーム期間は16.6msとなる。この期間を垂直方向の画素数で割った値がほぼ1水平ライン期間401となる。例えば垂直方向の画素数が220個とすると、1水平ライン期間は75μsとなる。上述した方式では、この水平ライン期間のうちの90%が映像期間（映像信号が存在する期間）とすると、映像期間は68μsとなる。この期間を3ビットすなわち8階調で表示を行なう場合には、図4に示すように、階調に比例してスイッチがオンしている時間、すなわち点灯期間402を設定すればよい。図4において、403で示す期間は非点灯期間で、404で示す期間は帰線期間である。

時間階調方式においては、以上のようにして階調表現を行う。もちろん、カラー表示装置においても、同様の階調表現が可能である。

また、アクティブマトリクス駆動の表示装置としては、図5に示すようなものがある。図5のアクティブマトリクス型表示装置の画素は、スイッチ用TFT508～511、EL駆動用TFT512～515、保持容量516～519、EL素子520～523よりなっている。以下にその動作を説明する。

ソース信号線駆動回路501に接続されたソース信号線503、504より供給される映像信号は、ゲート信号線駆動回路502に接続されたゲート信号線505がハイになるとスイッチ用TFT508、510がオンするため、保持容量516、518およびEL駆動用TFT51

2、514のゲートに入力される。そして、その電圧値に応じた電流を駆動用TFT512、514は電源線507からEL素子520、522に流す。ここで、EL駆動用TFT512、514は電圧電流変換素子としての役割を示す。ゲート信号線505がロウになると、スイッチ用TFT508、510はオフになるが、保持容量516、518には電荷が保持されているので、EL駆動用TFT512、514は同じ状態を保ち、EL素子520、522に電流を流し続ける。このように、アクティブマトリクスでは、画素がメモリ性を持つため、次の書き込みが行われるまで、同じ状態の発光は続けることができる。

- 10 同様にゲート信号線506がハイになるとスイッチ用TFT509、511がオンし、ソース信号線の映像信号をEL駆動用TFT513、515のゲートおよび保持容量517、519に書きこみ、EL駆動用TFT513、515はEL素子521、523に電流を流し、EL素子521、523は発光する。(以上の説明は、例えば、特許文献2に開示されている。)

(特許文献2) 特開2002-108285号公報

- また、アクティブマトリクス型表示装置では図6に示すようなカレントミラー回路を使用した表示装置も開発されている。この表示装置はTFT609と610、TFT611と612、TFT613と614、  
20 TFT615と616によってカレントミラー回路を画素内部に設けている。ソース信号線駆動回路601より、輝度信号を電圧でなく電流でソース信号線603、604に供給し、ゲート信号線駆動回路602によって、ゲート信号線605、606が制御される。スイッチ621～628がオンすると、カレントミラー回路が動作し、ソース信号線駆動  
25 回路の出力電流に比例した電流がEL素子629～632に流れる。ゲ

ート信号線駆動回路がスイッチをオフさせても、容量 617～620 に電荷が蓄積されていれば、TFT 610、612、614、616 は動作し、電流を EL 素子 629～632 に流し続ける（例えば、特許文献 3 参照）。

5 (特許文献 3) 特開 2001-147659

前述したような従来の有機 EL 表示装置には以下に示すような課題があった。まずパッシブマトリクス型有機 EL 表示装置には、画素数をあまり大きくできないという問題点があった。パッシブマトリクス型 EL 表示装置は、画素に保持機能がなく、瞬間的な発光しかできないため、  
10 発光期間は 1 フレーム期間をカラム線の数で割った値になり、画素数が増えると必然的にカラム線の数も増加し、発光期間は短いものになっていた。通常 1 フレームはフリッカの問題から 16.6 ms 程度であり、画素が 176 x RGB x 220 の場合、1 ラインの点灯時間は 75  $\mu$ s となる。このように発光期間が短く、且つ点灯輝度が高い場合、画素の有  
15 機 EL 素子には大電流を流さねばならず、これは、有機 EL 素子の寿命を短縮させ、また、順方向電圧の上昇による消費電力の増大といった不具合をまねいていた。実用的なパッシブマトリクスの点灯時間は 250  $\mu$ s 以上に設定する場合が多く、このため、パッシブマトリクス型 EL 表示装置では画素数を増やすことは困難であった。

20 一方、図 5 に示すようなアクティブマトリクス型の有機 EL 表示装置では、画素にメモリ機能があるため、画素の有機 EL 素子は、1 フレーム期間にわたって、点灯することが可能であり、パッシブマトリクス型のような問題は生じない。しかし、前述したアクティブ型では容量に保持した電圧を画素内部の TFT によって、電流に変換するため、その電  
25 流が TFT の特性ばらつきの影響を受ける。低温ポリシリコン TFT は

線状レーザー光を用いて結晶を作るため、そのばらつきによって縞状に T F T 特性がばらつく。このため、縞状に輝度むらが発生するという問題点があった。

図 6 に示すようなカレントミラー回路を使用した表示装置ではカレントミラーのペア T F T 6 0 9、6 1 0 の特性がそろっていれば、前述した輝度ムラをなくすることができる。また、T F T 6 0 9、6 1 0 は T F T サイズを大きくすることによって、より特性をそろえることが可能になる。しかし、このような表示装置では画素内の T F T 面積が増大し、開口率が低下するために小さな画素には適応できないという課題があった。

#### 発明の開示

以上のような問題を解決するため、本発明者は 1 つ又はそれ以上の薄膜トランジスタと、発光素子とで画素を構成し、同時に複数の行の画素を点灯するものとする。このようにすることによって、従来の表示装置で課題であった、発光期間が短くなるという問題、画素 T F T のばらつきによる表示ムラの問題、開口率の低下の問題を解消することが可能になる。

本発明の要旨の一つは、基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置された表示装置であって、1 列の画素列に対し複数のソース信号線が配置され、1 行の画素列に対し 1 本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電氣的に接続され、前記出力端子は前記発光素子に電氣的に接続され、前記制御端子は前記ゲート信号線に電氣的に接続されているもの



である。前記スイッチング素子は、1つの薄膜トランジスタで構成することができる。また前記スイッチング素子は、マルチゲートの薄膜トランジスタ、例えばダブルゲート又はトリプルゲートの薄膜トランジスタで構成することもできる。さらに、前記発光素子としてEL素子を用いることができる。

本発明の要旨の一つは、基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置された表示装置であって、1列の画素列に対し複数のソース信号線が配置され、1行の画素列に対し1本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電氣的に接続され、前記出力端子は前記発光素子に電氣的に接続され、前記制御端子は前記ゲート信号線に電氣的に接続され、前記複数のソース信号線の少なくとも1つに電氣的に接続されたソース信号線駆動回路を複数有するものである。前記ソース信号線駆動回路は電流出力型のソース信号線駆動回路であって、また、薄膜トランジスタで形成されていても良い。前記ソース信号線駆動回路は前記スイッチング素子と同一基板上に形成することができる。前記ソース信号線駆動回路は半導体チップを実装したものであっても良い。複数の前記ソース信号線駆動回路は前記複数の画素が配置された領域の両側（当該領域の上下又は左右）に分けて配置されていても良い。さらに、前記ソース信号線駆動回路は、前記複数のソース信号線のいずれか1つを駆動するものである。前記スイッチング素子は、1つの薄膜トランジスタで構成することができる。また前記スイッチング素子は、マルチゲートの薄膜トランジスタ、例えばダブルゲート又はトリプルゲートの薄膜トランジスタで構成することもできる。さらに、前記発光素子としてEL素子を用いることがで

きる。

本発明の要旨の一つは、基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置された表示装置であって、1列の画素列に対し複数のソース信号線が配置され、1行の画素列に対し1本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電氣的に接続され、前記出力端子は前記発光素子に電氣的に接続され、前記制御端子は前記ゲート信号線に電氣的に接続され、前記ゲート信号線を同時に複数本駆動させる1つのゲート信号線駆動回路を有するものである。前記ゲート信号線駆動回路は薄膜トランジスタで構成することができる。前記ゲート信号線駆動回路は前記スイッチング素子と同一基板上に形成することができる。前記ゲート信号線駆動回路は半導体チップを実装したものであっても良い。前記スイッチング素子は、1つの薄膜トランジスタで構成することができる。また、前記スイッチング素子は、マルチゲートの薄膜トランジスタ、例えばダブルゲート又はトリプルゲートの薄膜トランジスタで構成することもできる。さらに、前記発光素子としてEL素子を用いることができる。

上記した本発明において、前記ソース信号線駆動回路または前記ゲート信号線駆動回路は単一の極性のトランジスタによって構成することができる。

本発明の要旨の一つは、基板上にスイッチング素子および発光素子よりなる画素がマトリクス状に配置され、1列の画素列に対し複数のソース信号線が配置され、1行の画素列に対し1本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電氣的に接続され、

前記出力端子は前記発光素子に電氣的に接続され、前記制御端子は前記ゲート信号線に電氣的に接続された表示装置の駆動方法であって、前記ゲート信号線を同時に複数本駆動させて複数の前記スイッチング素子をオン状態にすることにより、前記複数のソース信号線のいずれかの信号  
5 を前記発光素子に入力し、前記発光素子を駆動させる方法である。この発光装置の駆動方法において、スイッチング素子は1つの薄膜トランジスタ、または、マルチゲートの薄膜トランジスタで構成したものを適用することができる。

## 10 図面の簡単な説明

第1図は、本発明の実施形態を示す図である。

第2図は、従来のパッシブマトリクス型EL表示装置を示す図である。

第3図は、従来の電流源回路を示す図である。

第4図は、従来のパッシブマトリクス型EL表示装置の階調を示す図  
15 である。

第5図は、従来のアクティブマトリクス型EL表示装置の画素を示す図である。

第6図は、カレントミラーを用いた従来のアクティブマトリクス型EL表示装置の画素を示す図である。

20 第7図は、本発明の画素とソース信号線駆動回路を示す図である。

第8図は、本発明のソース信号線駆動回路のブロック図である。

第9図は、本発明のソース信号線駆動回路のブロック図である。

第10図は、本発明の定電流源のブロック図である。

第11図は、本発明のアナログ映像信号を用いたソース信号線駆動回  
25 路を示す図である。

第 1 2 図は、本発明のアナログ映像信号を用いたソース信号線駆動回路を示す図である。

第 1 3 図は、本発明のスイッチング素子を一つの T F T で構成した実施例を示す図である。

5 第 1 4 図は、本発明のスイッチング素子を複数の T F T で構成した実施例を示す図である。

第 1 5 図は、本発明の画素の平面図である。

第 1 6 図は、本発明のゲート信号線を接続した実施例を示す図である。

第 1 7 図は、本発明の単極性の T F T を用いた信号線駆動回路の実施  
10 例である。

第 1 8 図は、本発明の表示装置を用いた電子機器の図である。

第 1 9 図は、本発明の信号線駆動回路を画素部の両側に設置した実施例を示す図である。

## 15 発明を実施するための最良の形態

以下、本発明の実施形態を図面を用いて説明する。

図 1 に本発明の表示装置の概略図を示す。図 1 において、1 つの画素は 1 つのスイッチング素子と 1 つの発光素子によって構成されている。

1 列の画素に対して 4 本のソース信号線が配置され、1 行の画素に対し  
20 て 1 本のゲート信号線が配置されている。本実施形態では 1 列の画素に対して配置されたソース信号線は 4 本であるが 4 本には限定されない。

ソース信号線駆動回路 1 0 1 に接続されたソース信号線 1 0 3 ~ 1 1 0 はスイッチング素子の入力端子に接続され、発光素子の一方の電極はスイッチング素子の出力端子に接続され、ゲート信号線駆動回路 1 0 2  
25 に接続されたゲート信号線はスイッチング素子の制御端子に接続される。

使用するソース信号線駆動回路 101 は図 3 に示したようなソース信号線に電流を出力するタイプのものであることが望ましいが限定はされない。ソース信号線駆動回路 101 から電流が出力され、ゲート信号線 111 ~ 114 がハイ（アクティブ）になると、スイッチング素子 119 ~ 122、127 ~ 130 がオンし、スイッチング素子を通して発光素子 135 ~ 138、143 ~ 146、そして共通のカソードに電流が流れ、発光素子 135 ~ 138、143 ~ 146 は発光する。

次に、ゲート信号線 111 ~ 114 がロウになるとスイッチング素子 119 ~ 122、127 ~ 130 がオフになる。続いて、ゲート信号線 115 ~ 118 がハイになると、スイッチング素子 123 ~ 126、131 ~ 134 がオンし、発光素子 139 ~ 142、147 ~ 150 に電流がながれ、発光する。これを繰り返すことによって画面全体が発光する。

階調を表現する場合には図 4 で示したのと同じように、ソース信号線 15 に流れる電流を制御することによって、表現ができる。

このとき、従来のパッシブマトリクス型 EL 表示装置と異なるのは、本発明では複数のゲート信号線 111 ~ 114 を同時にオンさせていることである。図 1 では、ソース信号線は縦 1 列に対して 4 本あり、4 本のゲート信号線をオンさせることができる。

20 これによって、従来のパッシブマトリクス型 EL 表示装置では、画素数を  $176 \times RGB \times 220$  とした場合、1 ラインの点灯期間が約  $75 \mu s$  であったのに対し、本発明では同時に 4 ラインが点灯できるため、 $300 \mu s$  期間点灯が可能になる。これによって、画素数の多くないパッシブマトリクス型 EL 表示装置と同様の信頼性が確保できる。

25 ソース信号線駆動回路、ゲート信号線駆動回路はスイッチング素子と

同様に基板上に同時形成しても良いし、また、スイッチング素子とは別にドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコン、アモルファスシリコンなど非単結晶を用いても良い。

- 5     また、各画素にあるスイッチング素子は電流のオンオフを制御するだけであり、電圧電流変換を行わないので、スイッチング素子のばらつきによって輝度ムラを発生させることはない。また、スイッチング素子のオフ電流によって、電荷が放電してしまうということもない。よって、従来のアクティブマトリクス型EL表示装置のように、レーザー結晶化
- 10    のばらつきによって、画質を低下させることはない。また、1つの画素にあるスイッチング素子は1つであり、複雑な回路を画素内に入れる必要はない。また、ばらつき低減のため、スイッチング素子サイズを大きくしなければならないということはない。したがって、開口率の低下は発生せず、且つ小さな画素でも対応できるという利点がある。
- 15    以上に説明したように、本発明では、パッシブマトリクス型EL表示装置のように、EL素子の点灯期間が非常に短くなるという問題や、従来のアクティブ型EL発光装置のように、素子のばらつきによって、縞状の輝度ムラが発生するという問題、開口率が低下するという問題を解決することが可能である。

## 20 実施例

### (実施例1)

- 図13に本発明の表示装置の概略図を示す。図13において、1つの画素は1つのTFTと1つの発光素子によって構成されている。ソース信号線駆動回路1301に接続されたソース信号線は、TFTのソース
- 25 電極またはドレイン電極のいずれか一方に接続され、発光素子の一方の

電極は、T F Tのソース電極またはドレイン電極の他方に接続され、ゲート信号線駆動回路1 3 0 2に接続されたゲート信号線はT F Tのゲート電極に接続される。使用するソース信号線駆動回路1 3 0 1は、図3に示したようなソース信号線に電流を出力するタイプのものであること  
5 が望ましいが、限定はされない。

ソース信号線駆動回路1 3 0 1から、ソース信号線1 3 0 3～1 3 1 0に電流が出力され、ゲート信号線1 3 1 1～1 3 1 4がハイ（画素T F TがNチャネル型の場合）になると、T F T 1 3 1 9～1 3 2 2、1 3 2 7～1 3 3 0に電流が流れ、T F Tを通してE L素子1 3 3 5～1  
10 3 3 8、1 3 4 3～1 3 4 6、そして共通のカソードに電流が流れ、E L素子1 3 3 5～1 3 3 8、1 3 4 3～1 3 4 6は発光する。

次に、ゲート信号線1 3 1 1～1 3 1 4がロウ（画素T F TがNチャネル型の場合）になるとT F T 1 3 1 9～1 3 2 2、1 3 2 7～1 3 3 0がオフになる。続いて、ゲート信号線1 3 1 5～1 3 1 8がハイになると、T F T 1 3 2 3～1 3 2 6、1 3 3 1～1 3 3 4がオンし、E L  
15 素子1 3 3 9～1 3 4 2、1 3 4 7～1 3 5 0に電流が流れ、発光する。

これを繰り返すことによって画面全体が発光する。以上、画素T F TがNチャネル型の場合を述べたが、画素がPチャネル型の場合はゲート信号線の電位は逆となる。

20 ソース信号線駆動回路1 3 0 1、ゲート信号線駆動回路1 3 0 2は画素T F Tと同様に基板上に同時形成しても良いし、また、画素T F Tとは別に、ドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコン、アモルファスシリコンなど非単結晶を用いても良い。

25 階調を表現する場合には図4で示したのと同じように、ソース信号線

に流れる電流を制御することによって、表現ができる。

(実施例 2)

図 1 4 に示すのはスイッチング素子をダブルゲートの T F T で構成した例である。このようにスイッチング素子を構成する T F T を複数にする  
5 ことによって、スイッチング素子のリークが大きい場合でも、発光装置の歩留まり低下を抑えることができる。本実施例ではスイッチング素子をダブルゲート T F T としたが、本発明はこれに限らず、マルチゲート T F T、例えばトリプルゲート T F T であってもかまわないし、その他の構成であっても良い。

10 ソース信号線駆動回路 1 4 0 1 から、ソース信号線 1 4 0 3 ~ 1 4 1 0 に電流が出力され、ゲート信号線 1 4 1 1 ~ 1 4 1 4 がハイ（画素 T F T が N チャネル型の場合）になると、T F T 1 4 1 9 ~ 1 4 2 2、1 4 2 7 ~ 1 4 3 0 に電流が流れ、T F T を通して E L 素子 1 4 3 5 ~ 1 4 3 8、1 4 4 3 ~ 1 4 4 6、そして共通のカソードに電流が流れ、E  
15 L 素子 1 4 3 5 ~ 1 4 3 8、1 4 4 3 ~ 1 4 4 6 は発光する。

次に、ゲート信号線 1 4 1 1 ~ 1 4 1 4 がロウ（画素 T F T が N チャネル型の場合）になると T F T 1 4 1 9 ~ 1 4 2 2、1 4 2 7 ~ 1 4 3 0 がオフになる。続いて、ゲート信号線 1 4 1 5 ~ 1 4 1 8 がハイになると、T F T 1 4 2 3 ~ 1 4 2 6、1 4 3 1 ~ 1 4 3 4 がオンし、E L  
20 素子 1 4 3 9 ~ 1 4 4 2、1 4 4 7 ~ 1 4 5 0 に電流がながれ、発光する。これを繰り返すことによって画面全体が発光する。以上、画素 T F T が N チャネル型の場合を述べたが、画素が P チャネル型の場合はゲート信号線の電位は逆となる。

ソース信号線駆動回路 1 4 0 1、ゲート信号線駆動回路 1 4 0 2 は画  
25 素 T F T と同様に基板上に同時形成しても良いし、また、画素 T F T と



は別にドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコン、アモルファスシリコンなど非単結晶を用いても良い。

階調を表現する場合には図4で示したのと同じように、ソース信号線5に流れる電流を制御することによって、表現ができる。

本実施例で示すスイッチング素子は、本明細書の他の実施例にも適用できる。

### (実施例3)

図16に、ゲート信号線の同時駆動のタイミングを、前述した実施形態及び実施例1および実施例2と変えた例を示す。本実施例では、ゲート信号線駆動回路1602と各ゲート信号線の接続関係は前述した実施形態及び実施例と異なっている。

ソース信号線駆動回路1601から、ソース信号線1603~1610に電流が出力され、ゲート信号線1611、1613、1615、1617がハイ（画素TFTがNチャネル型の場合）になると、TFT1619、1621、1623、1625、1627、1629、1631、1633に電流が流れ、TFTを通してEL素子1635、1637、1639、1641、1643、1645、1647、1649、そして共通のカソードに電流が流れ、EL素子1635、1637、1639、1641、1643、1645、1647、1649は発光する。

次に、ゲート信号線1611、1613、1615、1617がロウ（画素TFTがNチャネル型の場合）になるとTFT1619、1621、1623、1625、1627、1629、1631、1633がオフになる。続いて、ゲート信号線1612、1614、1616、1

618がハイになると、TF T1620、1622、1624、1626、1628、1630、1632、1634がオンし、EL素子1636、1638、1640、1642、1644、1646、1648、1650に電流がながれ、発光する。これを繰り返すことによって画面全体が発光する。以上、画素TF TがNチャネル型の場合を述べたが、画素がPチャネル型の場合はゲート信号線の電位は逆となる。

ソース信号線駆動回路1601、ゲート信号線駆動回路1602は画素TF Tと同様に基板上に同時形成しても良いし、また、画素TF Tとは別に、ドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコン、アモルファスシリコンなど非単結晶を用いても良い。

階調を表現する場合には図4で示したのと同じように、ソース信号線に流れる電流を制御することによって表現ができる。本発明では、上記の説明に限らず、同様に他の組み合わせで同時駆動を行うことも可能であり、どのゲート信号線を同時駆動するかを任意に設定することが可能である。

#### (実施例4)

図7に本発明のソース信号線駆動回路を示す。図7に示すように、本実施例では画素1列に対して、ソース信号線ごとにソース信号線駆動回路701～704を設けることが可能である。図7において、706～713はソース信号線を示し、705はゲート信号線駆動回路を示す。図8は個々のソース信号線駆動回路（たとえば701）の構成内容を示したものである。図4に示したような駆動を行うことに対応している。図4は3ビットの例であるので、図8に示す実施例も3ビットに対応しているが、3ビットに限定するものではない。以下にその動作を説明す

る。

まず、映像信号線 8 2 8 に入力されたデジタル映像信号はシフトレジスタ 8 0 1 の出力パルスによってラッチ回路 8 0 2 ~ 8 0 4、8 1 5 ~ 8 1 7 に記憶される。1 ライン分のデータが記憶されると水平帰線期間  
5 中にラッチ信号線 8 3 0 がハイになり、ラッチ回路 8 0 5 ~ 8 0 7、8 1 8 ~ 8 2 0 にデータが転送される。次の映像期間においては、再びラッチ回路 8 0 2 ~ 8 0 4、8 1 5 ~ 8 1 7 にデジタル映像信号が記憶される。

一方、ラッチ回路 8 0 5 ~ 8 0 7、8 1 8 ~ 8 2 0 に蓄えられたデータと、カウント信号線 8 2 9 より入力されるデータは EXNOR 8 0 8 ~ 8 1 0、8 2 1 ~ 8 2 3 によって比較される。EXNOR の出力は AND 8 1 1、8 2 4 に入力されすべてがハイになったときラッチ回路 8 1 2、8 2 5 の状態が変化する。この状態変化に応じてスイッチ 8 1 4、8 2 7 が開閉し、定電流源 8 1 3、8 2 6 の電流をソース信号線 8 3 1、  
15 8 3 2 に流すか、流さないかを制御する。

カウント信号線には 0 0 0 ~ 1 1 1 までの信号が順に出力され、ラッチ回路 8 0 5 ~ 8 0 7 のデータがそれぞれ 1、0、1 であればカウント信号が 1 0 1 のときにラッチ回路 8 1 2 が動作し、スイッチが閉じる。よって、カウント信号が 0 0 0 ~ 1 0 1 の期間は電流がソース信号線に  
20 流れ、点灯が行われる。このように、デジタル映像信号のデータによって、ソース信号線に電流に流れる期間が制御され、階調を表現することができる。

本実施例に示すソース信号線駆動回路は、本明細書の他の実施例にも適用できる。

(実施例 5)

図 9 は階調をビットごとのオンオフで表現する場合のソース信号線駆動回路の実施例である。このような場合は、映像信号は特定のビットデータしか、入力されないので、ソース信号線駆動回路は簡略化できる。

- 5 以下にその動作を説明する。映像信号線 9 1 0 に入力されたデジタル映像信号はシフトレジスタ 9 0 1 の出力パルスによって、ラッチ回路 9 0 2、9 0 6 に記憶される。次にラッチ信号線 9 1 1 がハイになるとラッチ回路 9 0 3、9 0 7 に転送される。そして、次のデジタル映像信号がラッチ回路 9 0 2、9 0 6 に記憶される。ラッチ回路 9 0 3、9 0 7 の
- 10 出力によってスイッチ 9 0 5、9 0 9 が制御され、定電流源 9 0 4、9 0 8 の電流がソース信号線 9 1 2、9 1 3 に流れるか、流れないかが決まる。このようにして、画素を発光させることが可能になる。

(実施例 6)

- 図 1 0 に定電流源の実施例を示す。定電流源の従来例は図 3 で示した
- 15 ものであるが、カレントミラー回路を多く使用するため、誤差が発生しやすい。よってその対策を行ったものを示す。図 1 0 の定電流回路はソース信号線駆動回路の外部、または内部に基準電流源 1 0 0 2 を設け、その電流を T F T 1 0 0 4 ~ 1 0 0 6 に順に流し、そのときの T F T 1 0 0 4 ~ 1 0 0 6 のゲート・ソース間電圧を保持容量 1 0 0 7 ~ 1 0 0
- 20 9 に記憶しておくことによって、定電流源 1 0 0 2 と同じ電流を出力端子 1 0 1 6 ~ 1 0 1 8 に流すものである。

- 以下にその動作を説明する。シフトレジスタ 1 0 0 1 は出力パルスを準じシフトしていく。まずシフトパルスがスイッチ 1 0 1 0、1 0 1 1 に加えられ、スイッチ 1 0 1 0、1 0 1 1 がオンすると電源線 1 0 0 3
- 25 より T F T 1 0 0 4、スイッチ 1 0 1 1、1 0 1 0 を介して、定電流源

1002に電流が流れる。シフトレジスタの出力パルスがスイッチ1012、1013に加わると、同様に電源線1003よりTF T1005、スイッチ1013、1012を介して、定電流源1002に電流が流れる。そのとき、スイッチ1010、1011はすでにオフしているが、

5 容量1007には電荷が蓄えられているので、TF T1004はオンしたままであり、電源線1003から出力端子1016に電流が流れる。

シフトレジスタの出力パルスがスイッチ1014、1015に加わると、同様に電源線1003よりTF T1006、スイッチ1015、1014を介して、定電流源1002に電流が流れる。そのとき、スイッチ1010、1011、1012、1013はすでにオフしているが、

10 容量1007、1008には電荷が蓄えられているので、TF T1004、1005はオンしたままであり、電源線1003から出力端子1016、1017に電流が流れる。このようにして、基準定電流源1002を基にして、ソース信号線を駆動する電流源を構成することができる。

15 この電流源は容量に蓄えられる電荷が保持できれば、原理的にTF T1004～1006の素子ばらつきの影響を受けることがないので、ばらつきの少ない電流源を構成することができる。

#### (実施例7)

図11に本発明のソース信号線駆動回路の実施例を示す。図11はアナログ映像信号（電圧）を入力し、それに応じた電流をソース信号線に

20 出力するソース信号線駆動回路である。

まず第1行目に対応するアナログ映像信号をアナログ映像信号線1124に入力する。シフトレジスタ1101の出力パルスによって、スイッチ1103、1110、1117をオンオフし、アナログ映像信号を

25 サンプリングして、容量1104、1111、1118に保持する。こ

の電圧がTFT1105、1112、1119のゲート・ソース間電圧となる。1行目のサンプリングが終了するまで、スイッチ1109、1116、1123はTFT1108、1115、1122とそれに応じたソース信号線1128、1129、1130を接続し、TFT1105、1112、1119とソース信号線は接続されない。よって、TFT1105、1112、1119のゲート・ソース間に電圧が印加されても、電流は流れない。サンプリングが終了したのち、スイッチ1109、1116、1123を切り換え、TFT1105、1112、1119とソース信号線は接続される。このようにして、ソース信号線にアナログ映像信号に応じた電流が出力される。

次に第2行目に対応するアナログ映像信号をアナログ映像信号線1126に入力する。シフトレジスタ1102の出力パルスによって、スイッチ1106、1113、1120をオンオフし、アナログ映像信号をサンプリングして、容量1107、1114、1121に保持する。この電圧がTFT1108、1115、1122のゲート・ソース間電圧となる。2行目のサンプリングが終了するまで、スイッチ1109、1116、1123はTFT1105、1112、1119とそれに応じたソース信号線を接続し、TFT1108、1115、1122とソース信号線は接続されない。よって、TFT1108、1115、1122のゲート・ソース間に電圧が印加されても、電流は流れない。サンプリングが終了したのち、スイッチ1109、1116、1123を切り換え、TFT1108、1115、1122とソース信号線は接続される。このようにして、ソース信号線にアナログ映像信号に応じた電流が出力される。

次に第3行目に対応するアナログ映像信号をアナログ映像信号線11

24に inputs する。シフトレジスタ1101の出力パルスによって、アナログ映像信号をサンプリングしていく。これを繰り返すことによって、アナログ映像信号に応じた電流をソース信号線に出力していく。

図11において、1125及び1127はそれぞれ電源線を示す。

#### 5 (実施例8)

図12に本発明のソース信号線駆動回路の実施例を示す。図12はアナログ映像信号（電流）を入力し、それに応じた電流をソース信号線に出力するソース信号線駆動回路である。

まず第1行目に対応するアナログ映像信号をアナログ電流源1201  
10 から inputs する。シフトレジスタ1203の出力パルスによって、スイッチ1210～1215をオンオフし、アナログ電流映像信号をサンプリングして、TFT1204～1206のゲート・ソース間に必要な電圧を発生させる。そして容量1207～1209に保持する。1行目のサンプリングが終了するまで、スイッチ1229～1231はTFT12  
15 17～1219とそれに応じたソース信号線を接続し、TFT1204～1206とソース線は接続されない。よって、TFT1204～1206のゲート・ソース間に電圧が印加されても、電流は流れない。サンプリングが終了したのち、スイッチ1229～1231を切り換え、TFT1204～1206とソース信号線は接続される。このようにして、  
20 ソース信号線にアナログ映像信号に応じた電流が出力される。

次に第2行目に対応するアナログ映像信号をアナログ電流源1202から inputs する。シフトレジスタ1216の出力パルスによって、スイッチ1223～1228をオンオフし、アナログ電流映像信号をサンプリングして、TFT1217～1219のゲート・ソース間に必要な電圧  
25 を発生させる。そして容量1220～1222に保持する。2行目のサ

ンプリングが終了するまで、スイッチ1229～1231はTFT1204～1206とそれに応じたソース信号線を接続し、TFT1217～1219とソース線は接続されない。よって、TFT1217～1219のゲート・ソース間に電圧が印加されても、電流は流れない。サンプリングが終了したのち、スイッチ1229～1231を切り換え、TFT1217～1219とソース信号線は接続される。このようにして、ソース信号線にアナログ映像信号に応じた電流が出力される。

次に第3行目に対応するアナログ映像信号をアナログ電流源1201から入力する。シフトレジスタ1203の出力パルスによって、アナログ電流映像信号をサンプリングしていく。これを繰り返すことによって、アナログ映像信号に応じた電流をソース信号線に出力していく。

#### (実施例9)

図15に本発明の画素の平面図を示す。ソース信号線1501～1504はこの例では4本としてあり、ソース信号線1504が画素TFT1506のソースまたはドレイン電極に接続されている。画素TFTのソース信号線1504に接続されない方ソースまたはドレイン電極は画素電極1507に接続される。画素電極1507はEL素子のアノードまたはカソードとなる。ゲート信号線1505はTFT1506のゲートに接続される。

本発明はソース信号線の本数が従来のアクティブマトリクス型EL発光装置より多いが、画素のカラー化を塗り分け方式で行う場合には、各色の境界の部分にソース信号線を入れることが可能になる。また、TFTは1つの画素に対して1つのみしか必要とせず、また、保持容量は不要であるので、開口率を高くすることができる。

また、EL素子の画素電極と異なる対向電極を透明電極として、EL



素子の発光を上方から取り出した上方発光型の場合は、ソース信号線上に絶縁膜を成膜し、その上に画素電極を置くことができ、その場合は画素の9割以上を画素電極とすることも可能である。

(実施例10)

- 5 本発明は、画素TFTを単にスイッチとしてしか使わないので、画素TFTには高性能のトランジスタを必要としない。よって、画素TFTをアモルファスTFT、有機TFTなどとすることも可能ある。この場合、ソース信号線駆動回路、ゲート信号線駆動回路は一体形成できないので、単結晶トランジスタ、または多結晶トランジスタで構成し、画素
- 10 TFT基板に貼り付けて動作をおこなう。

大型表示装置では、そのコストの大半がソース信号線駆動回路、ゲート信号線駆動回路などの駆動回路ではなく、画素部であるため、ポリシリコンTFTを用いずアモルファスTFTなどを用いることによって大幅なコストダウンを図ることができる。

- 15 また、本実施例は前述した他の実施例と組み合わせて使用することが可能である。

(実施例11)

- 図17は単極性のTFTを用いて、シフトレジスタを構成した例である。図17はNチャネル型の例であるが、単極性はNチャネル型のみま
- 20 たはPチャネル型のみのいずれを用いても良い。単極性トランジスタのプロセスを用いたソース信号線駆動回路、またはゲート信号線駆動回路のいずれか、あるいは両方を用いることによって、表示装置製造のためのマスク枚数の低減が可能となる。

- 図17において、スタートパルスSPは走査方向切り換えスイッチ1
- 25 702に入力され、スイッチ用TFT1711を経て、シフトレジスタ

1701に入力される。シフトレジスタはブートストラップを用いたセ  
ットリセット型のシフトレジスタである。以下にシフトレジスタ170  
1の動作を説明する。

スタートパルスはTFT1703のゲートとTFT1706のゲート  
5 に入力される。TFT1706がオンになるとTFT1704のゲート  
はロウになりTFT1704はオフになる。また、TFT1710のゲ  
ートもロウになるためTFT1710もオフとなる。TFT1703の  
ゲートは電源電位まで上がるため、まずTFT1709のゲートは「電  
源-V<sub>gs</sub>」まで上昇する。出力1は初期電位がロウであるため、TFT  
10 TFT1709は出力1と容量1708を充電しながらソース電位を上げて  
いく、TFT1709のゲートが「電源-V<sub>gs</sub>」まで上昇したときに、  
TFT1709はまだオンしているので、出力1はさらに上昇を続ける。  
TFT1709のゲートは放電経路がないので、ソースに合わせて上昇  
し、電源をこえてもさらに上昇を続ける。

15 TFT1709のドレイン、及びソースが等電位になったときに、電  
流が出力に流れるのが停止し、そこでTFT1709の電位上昇が止ま  
る。このようにして、出力1は電源電位に等しいハイ電位を出力できる。  
この時はCLbの電位はハイとする。CLbがロウに落ちると、容量1  
708電荷はTFT1709を介してCLbにぬけて、出力1はロウに  
20 落ちる。出力1のパルスは次の段のシフトレジスタに伝わっていく。本  
実施例は本明細書の他の実施例と組み合わせて使用することができる。

#### (実施例12)

図19にソース信号線駆動回路を画素部の両側に配置した実施例を示  
す。このように配置を行い、両側のソース信号線駆動回路を同時に動か  
25 すことにより、図19の例では8行の画素を同時に点灯することができ、

EL素子の発光時間をさらに長くとることができる。以下に動作を説明する。

ソース信号線駆動回路1901から、ソース信号線1904～1911に電流が出力され、ゲート信号線1952～1955がハイ（画素TF TがNチャネル型の場合）になると、TF T1920～1927に電流が流れ、TF Tを通してEL素子1928～1935、そして共通のカソードに電流が流れ、EL素子1928～1935は発光する。

以上の動作と同時に、ソース信号線駆動回路1902から、ソース信号線1912～1919に電流が出力され、ゲート信号線1956～1959がハイ（画素TF TがNチャネル型の場合）になると、TF T1936～1943に電流が流れ、TF Tを通してEL素子1944～1951、そして共通のカソードに電流が流れ、EL素子1944～1951は発光する。

ソース信号線駆動回路1901、1902、ゲート信号線駆動回路1903は画素TF Tと同様に基板上に同時形成しても良いし、また、画素TF Tとは別に、ドライバ回路を作製し、画素基板に貼り付けてもよい。ドライバ回路は単結晶シリコンでも良いし、ポリシリコン、アモルファスシリコンなど非単結晶を用いても良い。

階調を表現する場合には図4で示したのと同じように、ソース信号線に流れる電流を制御することによって、表現ができる。

#### （実施例13）

以上のようにして作製される表示装置は各種電子機器の表示部として用いることができる。以下に、本発明を用いて形成された表示装置を表示媒体として組み込んだ電子機器について説明する。

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッド

マウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末、携帯電話機または電子書籍等などが挙げられる。それらの一例を図 18 に示す。

図 18（A）はデジタルカメラであり、本体 3101、表示部 3102、受像部 3103、操作キー 3104、外部接続ポート 3105、シャッター 3106、音声出力部 3107 を含む。本発明の表示装置はカメラの表示部 3102 に用いることができる。

図 18（B）はノートパソコンであり、本体 3201、筐体 3202、表示部 3203、キーボード 3204、外部接続ポート 3205、ポインティングマウス 3206、音声出力部 3207 を含む。本発明の表示装置は表示部 3203 に使用することができる。

図 18（C）は携帯情報端末であり、本体 3301、表示部 3302、スイッチ 3303、操作キー 3304、赤外線ポート 3305、音声出力部 3306 を含む。本発明の表示装置は表示部 3302 に使用することができる。

図 18（D）は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 3401、筐体 3402、記録媒体（CD、LD または DVD 等）読込部 3405、操作スイッチ 3406、音声出力部 3407、表示部（a） 3403、表示部（b） 3404 等を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の表示装置は記録媒体を備えた画像再生装置の表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD 再生装置、ゲーム機器などに本発明を用いることができる。

図 18（E）は折りたたみ式携帯表示装置であり、本体 3501 に本

発明を用いた表示部 3 5 0 2 を装着することができる。3 5 0 3 は音声出力部を示す。

図 1 8 (F) は腕時計型表示装置であり、ベルト 3 6 0 1、表示部 3 6 0 2、操作スイッチ 3 6 0 3、音声出力部 3 6 0 4 を含む。本発明の  
5 表示装置は表示部 3 6 0 2 に用いることができる。

図 1 8 (G) は携帯電話機であり、本体 3 7 0 1 は、筐体 3 7 0 2、表示部 3 7 0 3、音声入力部 3 7 0 4、アンテナ 3 7 0 5、操作キー 3 7 0 6、外部接続ポート 3 7 0 7、音声出力部 3 7 0 8 を含む。本発明の表示装置を表示部 3 7 0 3 に用いることができる。

10 以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 1 2 のどのような組み合わせからなる構成を用いても実現することができる。

## 請求の範囲

1. 基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置され、
  - 1 列の画素列に対し複数のソース信号線が配置され、
- 5     1 行の画素列に対し 1 本のゲート信号線が配置され、  
前記スイッチング素子は入力端子、出力端子、制御端子を有し、  
前記入力端子は前記複数のソース信号線のいずれかに電氣的に接続され、  
前記出力端子は前記発光素子に電氣的に接続され、前記制御端子は前記ゲート信号線に電氣的に接続されていることを特徴とした表示装置。
- 10   2. 基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置され、
  - 1 列の画素列に対し複数のソース信号線が配置され、
  - 1 行の画素列に対し 1 本のゲート信号線が配置され、
- 15   前記スイッチング素子は入力端子、出力端子、制御端子を有し、  
前記入力端子は前記複数のソース信号線のいずれかに電氣的に接続され、  
前記出力端子は前記発光素子に電氣的に接続され、  
前記制御端子は前記ゲート信号線に電氣的に接続され、  
前記複数のソース信号線の少なくとも 1 つに電氣的に接続されたソース信号線駆動回路を複数有することを特徴とした表示装置。
- 20   3. 基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置され、
  - 1 列の画素列に対し複数のソース信号線が配置され、
- 25   1 行の画素列に対し 1 本のゲート信号線が配置され、

前記スイッチング素子は入力端子、出力端子、制御端子を有し、  
前記入力端子は前記複数のソース信号線のいずれかに電氣的に接続され、

前記出力端子は前記発光素子に電氣的に接続され、

- 5 前記制御端子は前記ゲート信号線に電氣的に接続され、

前記ゲート信号線を同時に複数本駆動させる1つのゲート信号線駆動回路を有することを特徴とした表示装置。

4. 請求の範囲第2項において、

- 前記ソース信号線駆動回路は電流出力型のソース信号線駆動回路である  
10 ことを特徴とした表示装置。

5. 請求の範囲第2項において、

前記ソース信号線駆動回路は薄膜トランジスタで構成されていることを特徴とした表示装置。

6. 請求の範囲第2項において、

- 15 前記ソース信号線駆動回路は前記スイッチング素子と同一基板上に形成されていることを特徴とした表示装置。

7. 請求の範囲第2項において、

前記ソース信号線駆動回路は半導体チップを実装したものであることを特徴とした表示装置。

- 20 8. 請求の範囲第2項において、

複数の前記ソース信号線駆動回路は前記複数の画素が配置された領域の両側に分けて配置されていることを特徴とした表示装置。

9. 請求の範囲第2項において、

- 前記ソース信号線駆動回路は前記複数のソース信号線のいずれか1つ  
25 を駆動するものであることを特徴とした表示装置。

10. 請求の範囲第2項において、  
前記ソース信号線駆動回路は単一の極性のトランジスタによって構成されていることを特徴とした表示装置。
11. 請求の範囲第3項において、
- 5 前記ゲート信号線駆動回路は薄膜トランジスタで構成されていることを特徴とした表示装置。
12. 請求の範囲第3項において、  
前記ゲート信号線駆動回路は前記スイッチング素子と同一基板上に形成されていることを特徴とした表示装置。
- 10 13. 請求の範囲第3項において、  
前記ゲート信号線駆動回路は半導体チップを実装したものであることを特徴とした表示装置。
14. 請求の範囲第3項において、  
前記ゲート信号線駆動回路は、単一の極性のトランジスタによって構成されていることを特徴とした表示装置。
- 15 15. 請求の範囲第1項乃至第3項のいずれかーにおいて、  
前記スイッチング素子は1つの薄膜トランジスタで構成されていることを特徴とした表示装置。
16. 請求の範囲第1項乃至第3項のいずれかーにおいて、
- 20 前記スイッチング素子はマルチゲートの薄膜トランジスタで構成されていることを特徴とした表示装置。
17. 請求の範囲第1項乃至第3項のいずれかーにおいて、  
前記発光素子はEL素子であることを特徴とした表示装置。
18. 請求の範囲第1項乃至第3項のいずれかーにおける表示装置を備
- 25 えた電子機器は、ビデオカメラ、デジタルカメラ、ノート型パーソナル



コンピュータ、モバイルコンピュータ、記録媒体を備えた携帯型の画像再生装置、ヘッドマウントディスプレイ、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末、携帯電話機、電子書籍、折りたたみ式携帯表示装置、または腕時計型表示装置であることを特徴とする電子機器。

19. 基板上にスイッチング素子および発光素子よりなる複数の画素がマトリクス状に配置され、1列の画素列に対し複数のソース信号線が配置され、

1行の画素列に対し1本のゲート信号線が配置され、前記スイッチング素子は入力端子、出力端子、制御端子を有し、前記入力端子は前記複数のソース信号線のいずれかに電氣的に接続され、前記出力端子は前記発光素子に電氣的に接続され、前記制御端子は前記ゲート信号線に電氣的に接続された表示装置の駆動方法であって、

前記ゲート信号線を同時に複数本駆動させて複数の前記スイッチング素子をオン状態にすることにより、前記複数のソース信号線のいずれかの信号を前記発光素子に入力し、前記発光素子を駆動させることを特徴とした表示装置の駆動方法。

20. 請求の範囲第19項において、

前記スイッチング素子は1つの薄膜トランジスタで構成されていることを特徴とした表示装置の駆動方法。

21. 請求の範囲第19項において、

前記スイッチング素子はマルチゲートの薄膜トランジスタで構成されていることを特徴とした表示装置の駆動方法。

22. 請求の範囲第19項において、

前記発光素子はEL素子であることを特徴とした表示装置の駆動方法。

## 要約書

本発明は、画素をスイッチング素子と、発光素子で形成し、1列の画素に対して複数のソース信号線を設け、スイッチング素子の入力端子を複数のソース信号線のいずれかに接続し、スイッチング素子の出力端子

5 を発光素子に接続することによって、スイッチング素子がオンしたときに発光が可能になる。同時に複数行の画素を発光させることによって、発光時間を長くすることができ、それによって素子の寿命を長くし、消費電力を下げることができる。